

ПРОЕКТИРОВАНИЕ МАЛОШУМЯЩЕЙ ЦЕЛОЧИСЛЕННОЙ СИСТЕМЫ ФАПЧ

С. А. Завьялов, В. Ю. Шеин, Р. Р. Фахрутдинов

Омский государственный технический университет, г. Омск, Россия

Аннотация. В статье рассматриваются проблемы проектирования высокоточной системы формирования опорных импульсов на основе ФАПЧ. Проанализированы современные методики улучшения фазового шума. Предложена улучшенная архитектура синтезатора, которая способна обеспечить выходной сигнал в диапазоне 1 ГГц - 1.4 ГГц при низком уровне фазового шума. Предложена оптимальная структура генератора управляемого напряжением, схемы накачки заряда и делителя частот. Проведены расчеты качественных показателей синтезатора частот, а так же произведено моделирование фазового шума.

Ключевые слова: ФАПЧ, ГУН, многомодульный делитель, накачка заряда, минимизация фазового шума, FOM.

DOI: 10.25206/2310-4597-2019-1-127-133

I. ВВЕДЕНИЕ

В статье рассматривается целочисленная система ФАПЧ, которая перекрывает диапазон частот 1 ГГц – 1.4 ГГц с шагом 50 кГц. Устройство может использоваться в составе систем передачи данных любого назначения, таких как радионавигационные системы гражданской авиации, беспроводные датчики в системах умного дома и т.д.

Проектирование системы ФАПЧ является весьма сложной задачей с большим количеством компромиссов. Например, увеличение диапазона рабочих частот приводит к повышению фазового шума ГУН, усложнению конструкции петлевого фильтра, делителя частоты. Введение коррекции тока заряда петлевого фильтра приводит к увеличению потребляемой мощности, увеличению занимаемой площади. Увеличение занимаемой площади приводит к тому, что согласование интегральных компонентов схемы усложняется, а так же увеличиваются перекрестные помехи и наводки между компонентами схемы. Поэтому подход к решению возникающих проблем проектирования должен быть комплексный. Применение специальных схемотехнических решений позволило снизить влияние составных блоков синтезатора частот на суммарный фазовый шум схемы. Малый шаг перестройки и относительно низкая выходная частота синтезатора приводит к тому, что петлевой фильтр невозможно исполнить в составе интегральной микросхемы, ввиду больших номиналов конденсаторов, поэтому конденсаторы фильтра применяются в виде дискретных элементов.

Альтернативой целочисленной ФАПЧ может служить синтезатор с дробным коэффициентом деления, который позволяет уменьшить коэффициент деления и габариты петлевого фильтра, увеличить частоту сравнения, что в свою очередь повышает скорость выхода на рабочий режим. Однако принцип реализации дробного деления вносит дополнительный фазовый шум в схему, и конечный результат может не удовлетворять предъявленным требованиям.

Генерирование спектрально чистых опорных колебаний приводит к увеличению энергоэффективности приемно-передающей аппаратуры, повышению качества и дальности связи, а так же к минимизации габаритов конечной системы. В связи с этим совершенствование основных комплектующих радиопередающих устройств является актуальной задачей.

II. ПОСТАНОВКА ЗАДАЧИ

Целью данной работы является проектирование малошумящей системы ФАПЧ, предназначенной для работы в современных системах связи. В статье рассмотрены способы построения основных узлов, проблемы, возникающие при проектировании, а так же современные схемотехнические решения, позволяющие улучшить параметры составных блоков и всей системы в целом.

Рабочий диапазон разрабатываемого синтезатора частот находится в интервале от 1 ГГц до 1.4 ГГц с шагом перестройки 50 кГц. Устройство проектировалось в технологическом базисе КМОП 65нм. Напряжение питания составляет 1.2 В.

III. ТЕОРИЯ

На рис. 1 представлена блок-схема синтезатора частот на основе ФАПЧ с целочисленной архитектурой. Синтезатор состоит из фазочастотного детектора (ФЧД), схемы накачки заряда (СНЗ), петлевого фильтра, генератора управляемого напряжением (ГУН) и делителя эталонной и синтезируемой частот.

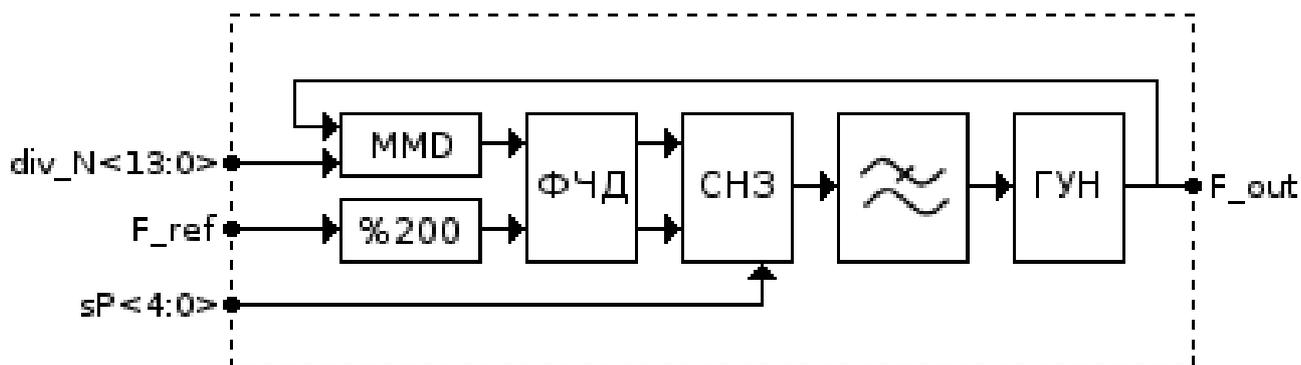


Рис. 1. Блок-схема синтезатора частот на основе ФАПЧ

Рассмотрим основной принцип синтеза частот на основе системы ФАПЧ. Подстройка выходной частоты петли ФАПЧ производится фазочастотным детектором, который производит сравнение эталонной частоты, поделенной на 200, с выходной частотой ГУН, поделенной на коэффициент N . Полученная фазовая ошибка подается в виде дискретных импульсов, на схему накачки заряда, которая, в свою очередь увеличивает или уменьшает заряд на конденсаторах петлевого фильтра, тем самым, регулируя значение управляющего напряжения ГУН. Ширина корректирующих импульсов соответствует величине фазовой ошибки двух сравниваемых сигналов. Дискретный характер подстройки управляющего напряжения генератора вносит пульсации в выходной сигнал синтезатора. Эти пульсации подавляются петлевым фильтром, который по своей структуре является фильтром низких частот. Величина остаточных пульсаций, получаемая на выходе фильтра пропорциональна ширине полосы пропускания петлевого фильтра. Слишком большая амплитуда пульсаций, подаваемая на управляющий вход ГУН, может привести к перегрузке и разрыву петли синхронизации ФАПЧ. Выходная частота синтезатора определяется выражением (1).

$$f_{out} = \frac{f_{ref} \cdot N}{P} \quad (1)$$

Большое значение коэффициента деления (N) приводит к расширению сетки генерируемых частот, но при этом замедляет реакцию на любые изменения на входе ФЧД, увеличивает время установления рабочего режима и уровень фазовых шумов. Уровень фазовых шумов описывается выражением (2), где λ_{PD} - уровень шума ФЧД.

$$\lambda = \lambda_{PD} + 20 \log N \quad (2)$$

Шумовые характеристики петли ФАПЧ в наибольшей степени зависят от характеристик ГУН. Существует большое количество схем построения управляемых генераторов, из которых можно выделить две основные группы: кольцевые генераторы на основе инверторов, охваченных положительной обратной связью, и LC генераторы с отрицательным сопротивлением.

Кольцевые генераторы обладают широким диапазоном перестройки более 300%, но уровень фазовых шумов таких генераторов высок, поэтому такая структура не подходит для высокоточных систем и рассматриваться не будет. Генераторы на LC элементах имеют низкий фазовый шум, а диапазон перестройки обычно не превышает 20%. Доступно множество вариаций построения цепей обеспечивающих отрицательное сопротивление для компенсации потерь в колебательном контуре. Оптимальная структура построения LC ГУН по технологии КМОП, обеспечивающая низкий уровень фазовых шумов, показана на рис. 2

Использование комплементарных NMOS и PMOS транзисторов позволяет снизить энергопотребление и увеличить амплитуду генерируемого сигнала до уровня питающего напряжения. Исключение источников тока из питающих цепей позволяет убрать дополнительно вносимый шум в генератор. Фильтрация шума от источника тока рассмотрена во многих работах [1, 2, 3], однако ГУН, реализованный без источников тока, показывает наилучшие результаты.

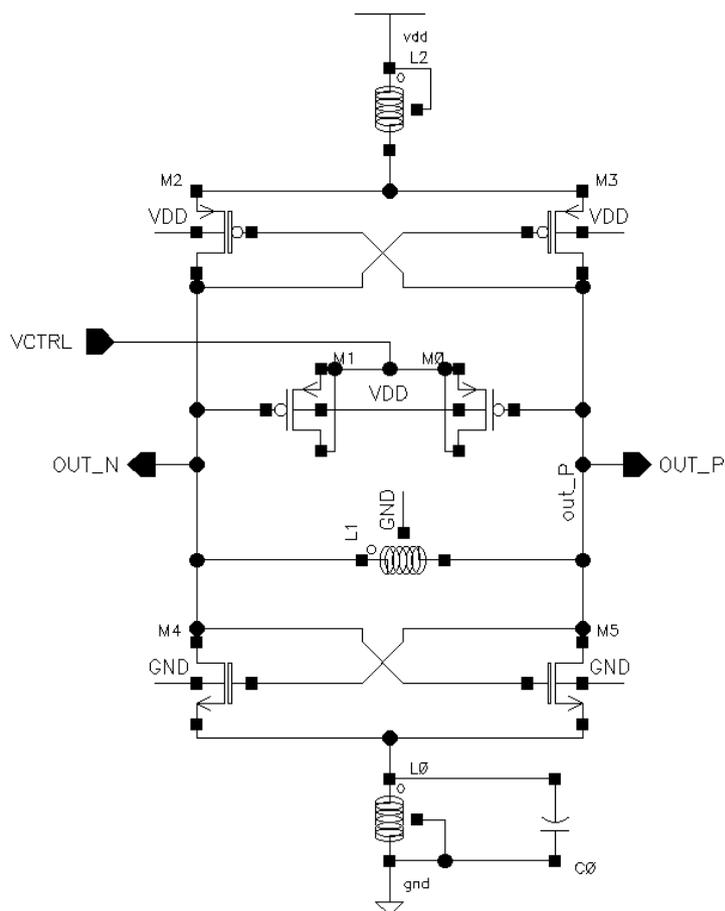


Рис. 2. Структура построения LC ГУН

Добавление фильтрующих катушек в цепи питания позволяет снизить чувствительность схемы к шуму по линиям питания и уменьшить фазовый шум более чем на 15 дБн/Гц. Измерение фазового шума ГУН на частоте 1.2 ГГц показано на рис. 3. Величина фазового шума ГУН с фильтрующими катушками при отстройке на 10 кГц равна -87.14 дБн/Гц, а величина фазового шума ГУН без катушек равна -72.69 дБн/Гц.

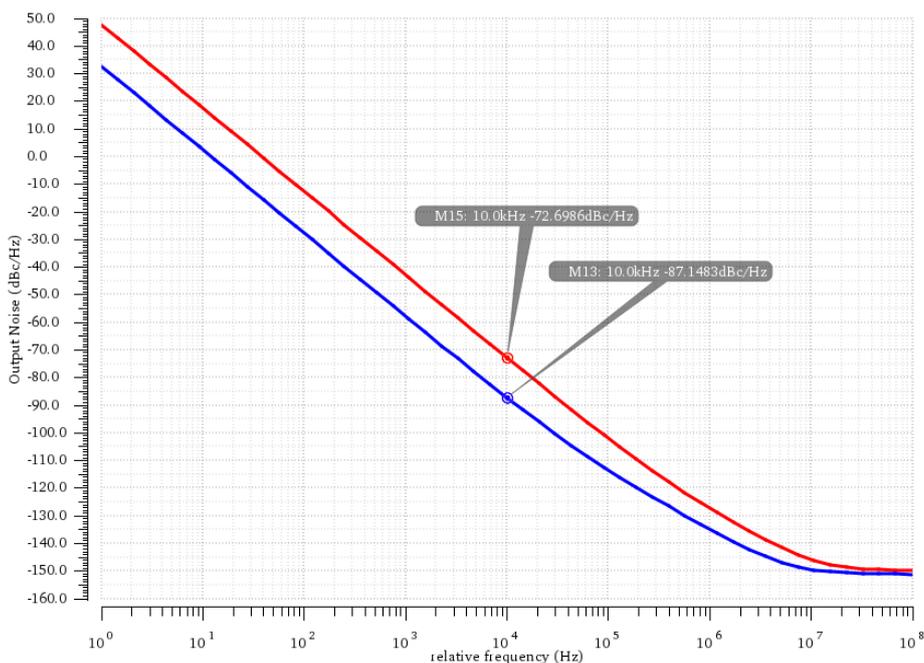


Рис. 3. Измерение фазового шума ГУН на частоте 1.2 ГГц

Учитывая рабочий диапазон частот и требуемый шаг перестройки системы ФАПЧ, частота сравнения выбрана равной 50 кГц, поэтому при использовании опорного кварцевого генератора с рабочей частотой 10 МГц коэффициент деления P будет равен 200. Согласно выражению 1, коэффициент деления N делителя выходной частоты ГУН принимает целочисленные значения от 20000 до 28000.

Создание перестраиваемого делителя на основе типовых делителей на 2, 3, 5, 7 и т.д. осложняется огромным количеством логических элементов, синхронизация работы которых, затруднительна из-за наличия большого количества паразитных емкостей и индуктивностей. При этом получить все необходимые значения деления невозможно ввиду ограниченного набора значений делителей.

В современных системах ФАПЧ применяется наиболее совершенная архитектура программируемого многомодульного делителя (MMD), которая показана на рис. 4

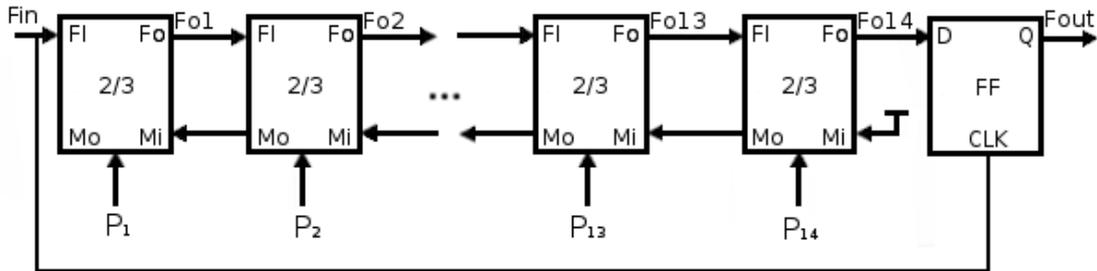


Рис. 4. Архитектура программируемого многомодульного делителя (MMD)

Данная архитектура позволяет обеспечить деление с единичным шагом, упростить логику управления коэффициентами деления, уменьшить площадь и потребляемую мощность при незначительном уменьшении рабочей частоты. Увеличение коэффициента деления происходит путем наращивания количества каскадов деления. Диапазон перестройки делителя определяется выражением (3).

$$div_ratio = 2^N \dots 2^{N+1} - 1 \tag{3}$$

Программируемый MMD делитель состоит из 14 одинаковых перестраиваемых каскадов деления на 2 или 3, а так же блока пересинхронизации. Каждый каскад способен работать с входным сигналом с частотой до 7.3 ГГц. Принципиальная схема ячейки деления на 2/3 показана на рис. 5

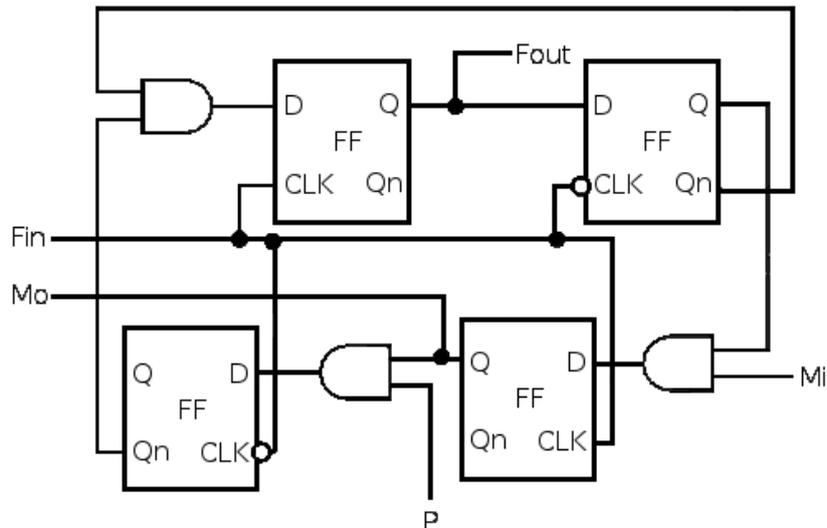


Рис. 5. Принципиальная схема ячейки деления на 2/3

Ячейка деления состоит из основного и дополнительного делителя, реализованных с помощью триггера, а так же вспомогательных синхронизирующих триггеров согласующих сигналы M_i , M_o между каскадами деления. При подаче управляющего сигнала на вход P , дополнительный делитель удерживает фронт входного сигнала, что увеличивает коэффициент деления до 3. Последующие каскады деления работают аналогичным обра-

зом, но на меньшей частоте. Поэтому весовой коэффициент подстройки деления увеличивается как 2^N с каждым последующим каскадом.

Асинхронная реализация делителя имеет тенденцию накапливать фазовое дрожание выходного сигнала на каждом каскаде деления. Компенсация дрожания фазы практически полностью устраняется цепью пересинхронизации с помощью триггера, тактируемого более стабильным тактовым сигналом. Остаточное дрожание фазы определяется стабильностью опорного сигнала и скоростью переключения триггера. Кроме того, амплитуда колебания частоты петли ФАПЧ уменьшается, в результате чего, синтезируемая частота устанавливается быстрее. Переходный процесс установления рабочей частоты петли ФАПЧ с пересинхронизацией показано на рис. 6

Схема накачки заряда это трех позиционный электронный переключатель, который управляется тремя состояниями фазочастотного детектора. Основной задачей схемы накачки заряда является генерирование постоянного выходного тока не зависимо от дестабилизирующих факторов. В идеальном состоянии при отсутствии фазовой ошибки и тока утечки ключи схемы накачки заряда закрыты, таким образом петлевой фильтр изолируется от схемы коррекции управляющего напряжения. В реальной схеме присутствуют утечки тока в подложку, паразитная модуляция управляющего напряжения выходным сигналом ГУН, которые вызывают ложные срабатывания ФЧД. Не зависимо от качества проектирования петлевого фильтра, корректирующие импульсы вносят пульсации в управляющий сигнал, нестабильность которого увеличивает шум на выходе ГУН. В работах [4, 5, 6] рассмотрены реализации схем накачки заряда с подавлением пульсаций коммутационных цепей и уменьшением рассогласования протекаемого тока. Улучшенная схема накачки заряда показана на рис. 7.

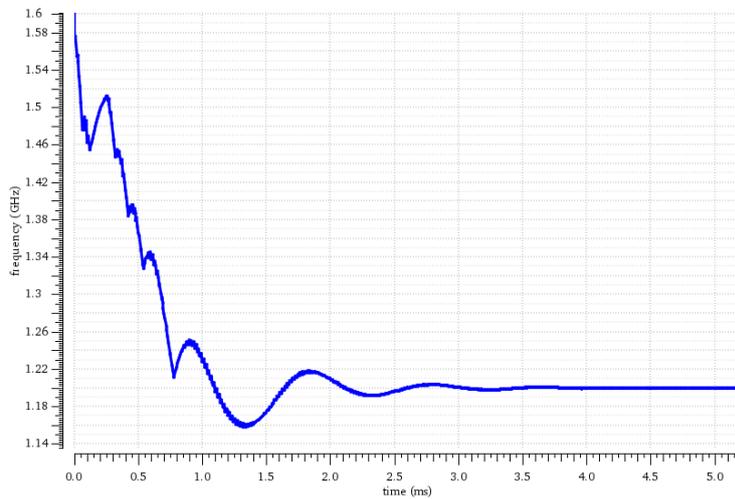


Рис. 6. Установление рабочей частоты петли ФАПЧ

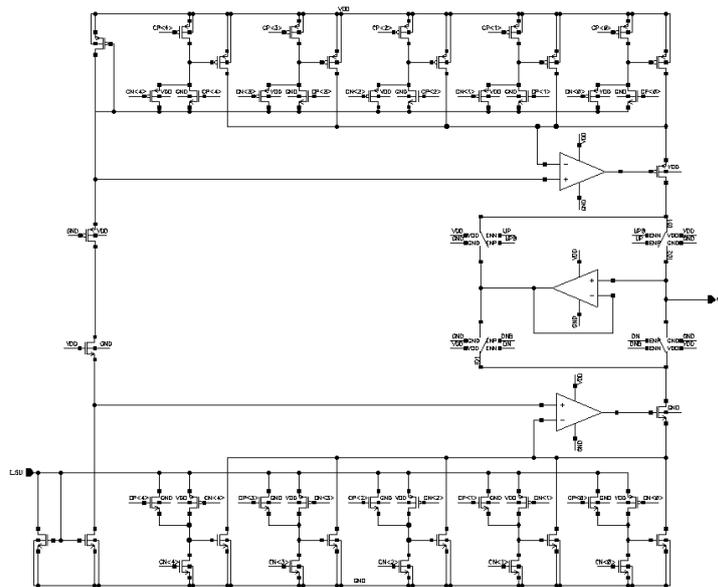


Рис. 7. Улучшенная схема накачки заряда

Данная схема универсальна и способна обеспечить высокостабильный ток заряда от 5мА до 155мА. Выбор тока заряда зависит от рабочего режима и времени установления системы. Уменьшение тока заряда приводит к увеличению влияния токов утечки на результирующий ток схемы. Увеличение тока заряда приводит к увеличению помехоустойчивости, но при этом номиналы емкостей петлевого фильтра увеличиваются пропорционально току заряда.

Нестабильность напряжения на петлевом фильтре возникает из-за разности втекаемого и вытекаемого токов через схему накачки заряда. Наиболее простым методом согласования тока заряда и разряда является уравнивание сопротивлений источников тока путем подгонки крутизны транзисторов по ВАХ, однако для качественной работы этого недостаточно, так как технологический разброс при изготовлении электронных компонентов приводит к рассогласованию тока. Неоднородность протекаемого тока устраняется путем введения двух дополнительных операционных усилителей в цепь накачки заряда. ОУ управляют КМОП транзисторами, включенными в цепь ООС, увеличивая или уменьшая сопротивление, в зависимости от протекаемого через транзисторы тока. Другая особенность включения ОУ в схему накачки заключается в том, что опорное напряжение подается на неинвертированный вход ОУ с цепи опорного источника тока. Это позволяет поддерживать протекаемый ток на одном уровне при этом уменьшить коэффициент пульсаций и повысить стабильность, ввиду наличия ООС. Третий операционный усилитель, включенный в режиме повторителя напряжения, уравнивает потенциал на параллельной ветви протекания тока пропорционально потенциалу на петлевом фильтре, что гарантирует однородность протекаемого тока через ветви, независимо от рабочего режима.

Качественно оценить работу петли ФАПЧ можно не только по уровню фазового шума, но и по эталонному показателю качества (FOM_{pll}), с помощью выражения (4), где σ_t – среднеквадратическая кратковременная нестабильность частоты ФАПЧ ($КНЧ_{RMS}$), P_{pll} – потребляемая мощность ФАПЧ [7]. Показатель (FOM_{pll}) используется для оценки нестабильности ФАПЧ в зависимости от потребляемой мощности. Он так же полезен для сравнения синтезаторов предназначенных для различных приложений. Чем ниже значение FOM , тем лучше устройство.

$$FOM_{pll} = 10 \log \left[\left(\frac{\sigma_{t, pll}}{1s} \right)^2 \cdot \left(\frac{P_{pll}}{1mW} \right) \right] \quad (4)$$

IV. РЕЗУЛЬТАТЫ МОДЕЛИРОВАНИЯ

На основе результатов моделирования были получены основные параметры целочисленного ФАПЧ синтезатора, по которым можно объективно оценить качество и сферу применения интегральной схемы. Разработанный синтезатор обладает низким уровнем фазового шума и способен перестраивать выходную частоту от 1 ГГц до 1.4 ГГц в рабочем диапазоне. Флуктуации синтезируемой частоты не превышают 1.15 кГц от пика до пика. Время выхода на рабочий режим составляет 4 мс. Среднеквадратическая кратковременная нестабильность частоты составляет 736 фс. Потребляемая мощность не превышает 10.2 мВт. Полученные результаты исследования сведены в табл. 1.

ТАБЛИЦА 1
ПОЛУЧЕННЫЕ РЕЗУЛЬТАТЫ

	Данная работа	[8]	[9]	[10]	[11]	[12]
Тех.процесс	65 нм	65 нм	65 нм	65 нм	40 нм	14 нм
Напряжение питания	1.2 В	1.2 В	1.2 В	1.2 В	1.1 В	0.95 В
Выходная частота	1.2 ГГц	6.25 ГГц	10 ГГц	5 ГГц	5 ГГц	4 ГГц
Частота сравнения	50 кГц	312.5 МГц	625 МГц	156.25 МГц	250 МГц	100 МГц
Потребляемая мощность	10.2 мВт	3.1 мВт	7.6 мВт	15.4 мВт	3.34 мВт	2.56 мВт
FOM	-232.5 дБ	-237.2 дБ	-238.8 дБ	-234.4 дБ	-232.9 дБ	-233.9 дБ
$КНЧ_{RMS}$	736 фс	780 фс	414 фс	484 фс	1242 фс	1264 фс

V. ВЫВОДЫ И ЗАКЛЮЧЕНИЕ

В статье были проанализированы наиболее важные узлы синтезатора частот на основе ФАПЧ, вносящие наибольший вклад в результирующее значение фазового шума. Предложена архитектура ГУН с низким уровнем фазовых шумов, многомодульный делитель частот, перестраиваемая схема накачки заряда с встроенной коррекцией протекаемого тока. Диапазон перестройки синтезатора равен 40%. Показатель качества системы ФАПЧ равен -232.5 дБ, что является хорошим показателем, учитывая низкую частоту сравнения. Увеличенное энергопотребление связано с наличием трех корректирующих ОУ в схеме накачки заряда. Данный синтезатор частот предназначен для внедрения в современные высокостабильные, мобильные и энергоэффективные системы связи, проектируемые на основе интегральных технологий.

СПИСОК ЛИТЕРАТУРЫ

1. Tiebout M. Low power VCO design in CMOS // Springer, 2006. 126 p.
2. Wang D., Zhang K., Zou X. Wideband Q-VCO using tail current shaping based automatic amplitude control // Microelectronics journal. 2012. 367 p.
3. Jafari B., Sheikhaei S. Low phase noise LC VCO with sinusoidal tail current shaping using cascade current source // International journal of electronics and communications. Vol. 83. 114 p.
4. Ghaderi N., Denghani A. A novel high swing, low power charge pump circuit with excellent current matching // Iranian conference on electrical engineering. 2016.
5. Xu Z., Jian H., Chang F. A 70–78-GHz integrated CMOS frequency synthesizer for W-Band satellite communications. Microwave theory and techniques. 2011. Vol. 59., no2.
6. Razavi B. Design of Monolithic Phase-Locked Loops and Clock Recovery Circuits-A Tutorial.
7. Gao X., Klumperink A.M. Jitter analysis and a benchmarking figure of merit for phase locked loops. IEEE transactions on circuits and systems. 2009. Vol.56, no.2.
8. Zhang Z., et al. 1.25-to-6.25 GHz -237.2-dB FOM wideband self-biased PLL for multi-rate serial link data transmitter. IEICE electronics express. Vol.41
9. W. Bae, et al. A 7.6 mW, 414 fs RMS-Jitter 10 GHz Phase-Locked Loop for a 40 Gb/s Serial Link Transmitter Based on a Two-Stage Ring Oscillator in 65 nm CMOS. IEEE J. Solid-State Circuits. 2016. Vol. 51.
10. S.-Y. Cho, et al.: A 5-GHz subharmonically injection-locked all digital PLL with complementary switched injection. IEEE ESSCIRC. 2015. 384 p.
11. C. Chiang, et al. A digital bang-bang phase-locked loop with bandwidth calibration. IEEE ASSCC. 2015. 173 p
12. K.-Y. J. Shen, et al. A 0.17-to-3.5 mW 0.15-to-5 GHz SoC PLL with 15dB build-in supply noise rejection and self-bandwidth control in 14nm CMOS. ISSCC Dig. Tech. Papers. 2016. 330 p.

УДК 536.521

ИССЛЕДОВАНИЕ ПОСТОЯННОЙ ВРЕМЕНИ ПИРОМЕТРА ПД-10

В. А. Захаренко, Я. Р. Веприкова, Д. В. Кузнецов

Омский государственный технический университет, г. Омск, Россия

Аннотация. В статье приводятся результаты исследования постоянной времени оптоволоконного пирометра ПД-10. Приведена функциональная схема прибора. Изложены экспериментальные данные о быстродействии пирометра с фильтром и без него. Предложен способ борьбы с уровнем шума и увеличения быстродействия пирометра.

Ключевые слова: абсолютно черное тело, температура расплавов, коэффициент черноты, постоянная времени, пирометр.

DOI: 10.25206/2310-4597-2019-1-133-136

I. ВВЕДЕНИЕ

В современной металлургической промышленности технологические процессы литья, проката,ковки контролируются в основном путём измерений такого параметра как температура в связи с необходимостью обеспечения и контроля заданных температурных режимов. Особую роль при этом играют точные температурные измерения в процессах литья стали, так как чем ниже температура стали при заливке в формы и чем скорей